

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-212250

(43)Date of publication of application : 11.08.1995

(51)Int.Cl. H03M 13/22
H04B 14/04
H04L 1/00

(21)Application number : 06-001310

(71)Applicant : FUJITSU LTD

(22)Date of filing : 11.01.1994

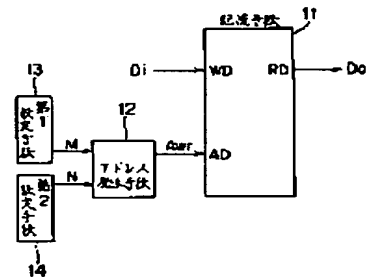
(72)Inventor : SAITO YASUHIRO

(54) INTERLEAVE CIRCUIT

(57)Abstract:

PURPOSE: To provide an interleave circuit for conducting plural kinds of interleaves with small scale.

CONSTITUTION: This circuit is provided with a first setting means 13 for setting a first set value M as a numerical value corresponding to (m) in the matrix of (m) pieces of rows and (n) pieces of columns, second setting means 14 for setting a second set value N as a numerical value corresponding to (n), and address generating means 12 for successively conducting arithmetic to accumulatively add the M as many as times corresponding to a numerical value subtracting '1' from N to an initial value at the first column and the first row of the matrix and the respective numerical values provided by accumulatively adding '1' to the initial value, defining a sequence provided by performing this arithmetic until a numerical value subtracting '1' from (m) is added to the initial value as an address signal Awr for write and defining a sequence composed of the initial value and respective numerical values successively provided by accumulatively adding '1' to the initial value as many as times corresponding to the numerical value subtracting '1' from the arithmetic result of mxn in the case of setting a certain decided numerical value as M, as an address signal Awr for read.



LEGAL STATUS

[Date of request for examination] 07.04.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平7-212250

(43)公開日 平成7年(1995)8月11日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 M 13/22		8730-5 J		
H 0 4 B 14/04	F	9372-5K		
H 0 4 L 1/00	F	9371-5K		

審査請求 未請求 請求項の数1 O L (全 8 頁)

(21)出願番号 特願平6-1310

(22)出願日 平成6年(1994)1月11日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 斎藤 安弘

宮城県仙台市青葉区1番町1丁目2番25号

富士通東北ディジタル・テクノロジー株式
会社内

(74)代理人 弁理士 松本 昂

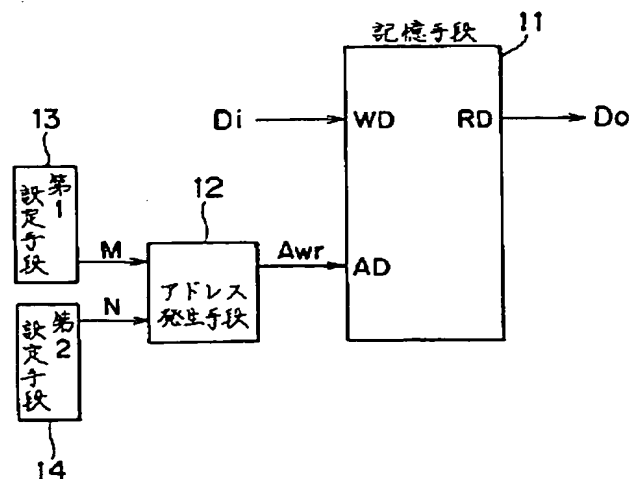
(54)【発明の名称】 インターリーブ回路

(57)【要約】

【目的】本発明は小規模で複数種類のインターリーブを行うことができるインターリーブ回路を提供することを目的とする。

【構成】行数 m ×列数 n の行列の m に対応する数値である第1設定値 M を設定する第1設定手段13と、 n に対応する数値である第2設定値 N を設定する第2設定手段14と、 N から「1」を減算した数値に対応する回数だけ M を累積加算する演算を、行列の第1列第1行目の初期値と初期値に「1」を累積加算して得られる各数値とに対して順次行い、これを初期値に m から「1」を減算した数値が加算されるまで行って得られる数列を書き込み用のアドレス信号 Awr とし、ある定められた数値が M として設定された際に、初期値と $m \times n$ の演算結果から「1」を減算した数値に対応する回数だけ初期値に「1」を累積加算して順次得られる各数値とによる数列を読み出し用のアドレス信号 Awr とするアドレス発生手段12とを具備して構成する。

本 発 明 の 原 理 図



【特許請求の範囲】

【請求項1】 行数 $m \times$ 列数 n で、かつ第1列の第1行目から各列を上から下へ進んで第 n 列の第 m 行目まで

「1」ずつ増加する数値が配列された行列における数値を、第1列から第 n 列方向にトレースし、このトレースを第1行目から第 m 行目まで1行ずつずらして行うことにより順次得られる数値をライトアドレス信号として用いて記憶手段(11)にデータ D_i を書き込み、該行列における数値を第1行から第 n 行方向にトレースし、このトレースを第1列目から第 m 列目まで1行ずつずらして行うことにより順次得られる数値をリードアドレス信号として用いて該記憶手段(11)に書き込まれたデータを読み出すといったインターリーブを行うインターリーブ回路において、

前記行数 m に対応する数値である第1設定値(M)を設定する第1設定手段(13)と、

前記列数 n に対応する数値である第2設定値(N)を設定する第2設定手段(14)と、

該第2設定値(N)から「1」を減算した数値に対応する回数だけ該第1設定値(M)を累積加算する演算を、前記第1列の第1行目の初期値と該初期値に「1」を累積加算して得られる各数値とに対して順次行い、これを該初期値に該行数 m から「1」を減算した数値が加算されるまで行って得られる数列を前記ライトアドレス信号に対応するアドレス信号(Awr)として出力し、該第1設定手段(13)である定められた数値が該第1設定値(M)として設定された際に、該初期値と該行数 $m \times$ 該列数 n の演算結果から「1」を減算した数値に対応する回数だけ該初期値に「1」を累積加算して順次得られる各数値とによる数列を前記リードアドレス信号に対応するアドレス信号(Awr)として出力するアドレス発生手段(12)とを具備したことを特徴とするインターリーブ回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はインターリーブ回路に関する。このインターリーブ回路は、通信端末装置等に用いられるものであり、ノイズ等の影響によりバースト状に発生するデータのエラーを分散するために、インターリーブ/デインターリーブを行うものである。

【0002】通信端末装置は年々小型・軽量化の傾向にある。特に自動車電話機、携帯電話機等はその傾向が顕著であり、急激な小型化が実施されている。このため通信装置に内蔵されるインターリーブ回路も小規模で実現できる構成が要望されている。

【0003】

【従来の技術】図4に従来のインターリーブ回路の構成を示し、その説明を行う。この図に示すインターリーブ回路は、例えば通信端末機に用いられるものであり、通信モードに応じて、 $m_1 \times n_1$ 、 $m_2 \times n_2$ 、 $m_3 \times n_3$ の3種類のインターリーブを行うものである。

【0004】 $m \times n$ のインターリーブ、例えば 3×4 のインターリーブは、図5に示す3行 \times 4列の行列表の各数値を左から右の横方向にトレースし、このトレースを上から下の行へ1つつずつ移行して順次配列した数列、0, 3, 6, 9, 1, 4, 7, A, 2, 5, 8, B (16進数)をメモリ装置のライトアドレス信号とし、この信号でメモリ装置のアドレスを指定して入力データを書き込み、行列表の各数値を上から下の縦方向にトレースし、このトレースを左から右へ移行して順次配列した数列、0, 1, 2, 3, 4, 5, 6, 7, 8, 9, A, B (インクリメントデータ)をリードアドレス信号とし、この信号で先にメモリ装置に記憶されたデータを読み出して出力データとするものである。

【0005】図4において、1はデュアルポートRAM(DPRAM)、2, 3, 4は書込アドレス発生回路、5はセクタ、6は読出アドレス発生回路である。書込アドレス発生回路2は、 $m_1 \times n_1$ のインターリーブを行うためのライトアドレス信号 WS_1 を発生し、書込アドレス発生回路3は、 $m_2 \times n_2$ のインターリーブを行うためのライトアドレス信号 WS_2 を発生し、書込アドレス発生回路4は、 $m_3 \times n_3$ のインターリーブを行うためのライトアドレス信号 WS_3 を発生するものである。

【0006】セクタ5は、モード識別信号 $Mode$ に応じてライトアドレス信号 WS_1 、 WS_2 、 WS_3 の何れか1つを選択しDPRAM1のライトアドレス信号入力端 WA へ出力するものである。

【0007】読出アドレス発生回路6は、リードアドレス信号 RA_1 を出力するものである。但し、リードアドレス信号 RA_1 は、0, 1, 2, 3, ..., 9, A, B, ... (16進数)のインクリメントデータである。

【0008】DPRAM1は、一方のポートから入力されるライトアドレス信号 WS_1 、 WS_2 、 WS_3 に応じて入力データ D_i を記憶し、この記憶データを他方のポートから入力されるリードアドレス信号 RA_1 に応じて出力データ D_o として出力するものである。

【0009】例えば第1モードで 3×4 のインターリーブを行い、第2モードで 2×6 、第3モードで 4×3 のインターリーブを行うものとし、 4×3 のインターリーブを行うためのライトアドレス信号を書込アドレス発生回路2が発生し、 2×6 のインターリーブを行うためのライトアドレス信号を書込アドレス発生回路3が発生し、 4×3 のインターリーブを行うためのライトアドレス信号を書込アドレス発生回路4が発生するものとする。

【0010】 3×4 のインターリーブは、図5に示す行列表から求められる0, 3, 6, 9, 1, 4, 7, A, 2, 5, 8, B (16進数)の数列のライトアドレス信号 WS_1 でDPRAM1のアドレスを指定して入力データ D_i を書き込み、この書き込まれたデータを同行列表

から求められるインクリメントデータのリードアドレス信号RA1で読み出して出力データDoとするものである。

【0011】 2×6 のインターリーブは、図6に示す行列表から求められる0, 2, 4, 6, 8, A, 1, 3, 5, 7, 9, B (16進数)の数列のライトアドレス信号WS2でDPRAM1のアドレスを指定して入力データDiを書き込み、この書き込まれたデータを同行列表から求められるリードアドレス信号RA1で読み出して出力データDoとするものである。

【0012】 4×3 のインターリーブは、図7に示す行列表から求められる0, 4, 8, 1, 5, 9, 2, 6, A, 3, 7, B (16進数)の数列のライトアドレス信号WS3でDPRAM1のアドレスを指定して入力データDiを書き込み、この書き込まれたデータを同行列表から求められるリードアドレス信号RA1で読み出して出力データDoとするものである。

【0013】即ち、図4に示すインターリーブ回路においては、ライトアドレス信号WS1, WS2, WS3がセクタ5でモード識別信号Modeに応じて選択され、この選択されたライトアドレス信号により、入力データDiがDPRAM1に記憶される。そして、リードアドレス信号RA1により出力データDoとして読みだされる。

【0014】このようにインターリーブを行うことにより、連続して発生するデータのエラーを分散させることができるので、インターリーブ処理後の誤り訂正を正しく行うことができる。エラーが連続していると正しく誤り訂正が行えなくなる。

【0015】

【発明が解決しようとする課題】上述したように従来のインターリーブ回路においては、制御が複雑にならないように、DPRAM1を使用して一方のポートを書き込み専用、他方のポートを読み出し専用にし、書き込み／読み出しの別々のアドレス発生回路により制御し、また複数種類のインターリーブを行う場合には、各インターリーブに対応する専用の書込アドレス発生回路2～4を具備してセクタ5で切り替える構成を取っていた。

【0016】このようなDPRAMを使用する構成にあつては、DPRAMを外付けRAMとして使用した場合に制御信号数が多くなるためにパッケージ(LSI, RAMの両方による)が大きくなってしまふ。また、DPRAMをLSI内蔵とした場合は回路のゲート数が大きくなってしまふ。更に、2ポート分のアドレス発生回路が必要である。更に、複数種類のインターリーブを行う場合、その種類に対応した数のアドレス発生回路が必要である。

【0017】以上のことから従来のインターリーブ回路は、大規模になってしまう問題がある。本発明は、このような点に鑑みてなされたものであり、小規模で複数種

類のインターリーブを行うことができるインターリーブ回路を提供することを目的としている。

【0018】

【課題を解決するための手段】図1に本発明のインターリーブ回路の原理図を示す。インターリーブ回路は、行数 $m \times$ 列数 n で、かつ第1列の第1行目から各列を上から下へ進んで第 n 列の第 m 行目まで「1」ずつ増加する数値が配列された行列における数値を、第1列から第 n 列方向にトレースし、このトレースを第1行目から第 n 行目まで1行ずつずらして行うことにより順次得られる数値をライトアドレス信号として用いて記憶手段(11)にデータDiを書き込み、該行列における数値を第1行から第 n 行方向にトレースし、このトレースを第1列目から第 m 列目まで1行ずつずらして行うことにより順次得られる数値をリードアドレス信号として用いて該記憶手段(11)に書き込まれたデータを読み出すといったインターリーブを行うものである。

【0019】本発明の特徴は、前記した行数 m に対応する数値である第1設定値 M を設定する第1設定手段13と、前記した列数 n に対応する数値である第2設定値 N を設定する第2設定手段14と、第2設定値から「1」を減算した数値に対応する回数だけ第1設定値 M を累積加算する演算を、前記した行列における第1列の第1行目の初期値と初期値に「1」を累積加算して得られる各数値とに対して順次行い、これを初期値に行数 m から

「1」を減算した数値が加算されるまで行って得られる数列を前記したライトアドレス信号に対応するアドレス信号Awrとして出力し、第1設定手段13である定められた数値が第1設定値 M として設定された際に、初期値と行数 $m \times$ 列数 n の演算結果から「1」を減算した数値に対応する回数だけ初期値に「1」を累積加算して順次得られる各数値とによる数列を前記したリードアドレス信号に対応するアドレス信号Awrとして出力するアドレス発生手段12とを具備して構成されていることにある。

【0020】

【作用】上述した本発明によれば、アドレス発生手段12からリード／ライト共通のアドレス信号Awrを出力することができるので、記憶手段11をシングルポートRAMとすることができる。また、複数種類のインターリーブを行う場合でも、第1及び第2設定手段で行数 m 及び列数 n に対応する第1及び第2設定値 M, N を設定することにより、1つのアドレス発生手段12で対応できる。

【0021】従来はデュアルポートRAMを使用しなければならず、またライトアドレス信号及びリードアドレス信号を別の発生手段により発生しており、更に、複数種類のインターリーブを行う場合は、その種類数に応じた数のライトアドレス信号発生手段を用いなければならなかった。

【0022】RAM同士を比較すると、シングルポートRAMはデュアルポートRAMの $1/2 \sim 1/3$ の大きさであり、またアドレス発生手段12もインターリーブの種類数が多くなるほどに従来よりも小さくなるので、本発明では回路全体を非常に小型にすることができる。

【0023】また使用変更により m 、 n の値が変更になっても容易に対応することができる。

【0024】

【実施例】以下、図面を参照して本発明の一実施例について説明する。図2は本発明の一実施例によるインターリーブ回路の構成を示す回路図である。

【0025】この図において、11はシングルポートRAM（以下RAMという）、12はアドレス発生回路、13はアドレス加算値設定部、14はアドレス加算回数設定部である。

【0026】アドレス発生回路12は、アドレス加算値設定部13で設定される設定加算値 M 及びアドレス加算回数設定部14で設定される設定加算回数 N に応じて、従来例で説明した $m \times n$ のインターリーブを行うためのライト／リード双方のアドレス信号 $Awr3 \sim Awr0$ を、RAM11のアドレス信号入力端 $AD3 \sim AD0$ へ出力するものである。

【0027】但し、設定加算値 M は行数 m に対応しており、アドレス加算値設定部13で4ビットの加算値データ $Ad3 \sim Ad0$ として設定される。この設定は各スイッチ16、17、18、19のオン／オフにより行われ、例えば設定加算値 M を「4」に設定する場合は、スイッチ17のみをオンとし、加算値データ $Ad3 \sim Ad0$ が上位ビットから順に「0100」となるようにする。

【0028】設定加算回数 N は列数 $n-1$ に対応しており、アドレス加算回数設定部14で4ビットの加算回数データ $CT3 \sim CT0$ として設定される。この設定は各スイッチ21、22、23、24のオン／オフにより行われ、例えば設定加算回数 N を「2」に設定する場合は、スイッチ23のみをオンとし、加算値データ $CT3 \sim CT0$ が上位ビットから順に「0010」となるようにする。

【0029】以上の設定は、ライトアドレス信号を出力する場合のものである。リードアドレス信号を出力する場合は、スイッチ19のみをオンとして加算値データ $Ad3 \sim Ad0$ の最下位ビットのみを「1」とすることによる。この場合、インクリメントデータがリードアドレス信号として出力されるようになっている。

【0030】また、アドレス発生回路12へ入力される LD はRAM11へのデータの書き込み／読み出しを開始する際のロード信号、 EN はイネーブル信号、 CLK はクロック信号、 RST はリセット信号である。

【0031】アドレス発生回路12は、2組の4ビットのデータを加算する加算器（ADD）27と、4ビット

のダウンカウンタ（DCT）28と、4ビットのアップカウンタ（UCT）28と、2組の4ビットのデータの何れか1組を選択するセクタ（SEL）30と、4ビットのフリップフロップ（FF）31と、一入力端が反転端となった4入力タイプのオア回路32と、2入力タイプのアンド回路33及び34と、一入力端が反転端となった2入力タイプのアンド回路35とを有して構成されている。

【0032】ADD27は、ライトアドレス信号として出力されるアドレス信号 $Awr3 \sim Awr0$ の値を行数 m に対応した数だけスキップさせながら加算するためのものであり、一方の組のデータ入力端 $b3 \sim b0$ に加算値データ $Ad3 \sim Ad0$ が入力され、他方の組のデータ入力端 $A3 \sim A0$ にFF31の出力端 $Q3 \sim Q0$ から出力されるアドレス信号 $Awr3 \sim Awr0$ が入力されるようになっている。

【0033】DCT28は、ライトアドレス信号として出力されるアドレス信号 $Awr3 \sim Awr0$ の値を行数 m に対応した数だけスキップさせながら加算する回数（列数 n ）を制限するためのものであり、データ入力端 $d3 \sim d0$ に加算回数データ $CT3 \sim CT0$ が入力され、反転端となっているロード端 L にアンド回路35の出力データが入力され、クロック端にクロック信号 CLK が、イネーブル端 EN にイネーブル信号 EN が入力され、リセット端 R にはリセット信号 RST が入力され、また、キャリー入力端 CI が「H」レベルに固定されている。

【0034】アンド回路35の反転入力端にはDCT28のキャリー出力端 CO から出力されるキャリー信号 $CO1$ が入力され、他入力端にはロード信号 LD が入力されるようになっている。

【0035】UCT29は、ライトアドレス信号として出力されるアドレス信号 $Awr3 \sim Awr0$ の値が行数 m に対応した数だけスキップさせられながら加算され、この加算回数が列数 n と同数となった際に、アドレス信号 $Awr3 \sim Awr0$ の値が次の行の先頭に移行するようにするためのものである。

【0036】このUCT29は、4～2ビット目までのデータ入力端 $d3 \sim d1$ が「L」レベルに固定され、1ビット目のデータ入力端 $d0$ が「H」レベルに固定され、反転端となっているロード端 L にロード信号 LD が入力され、クロック端にクロック信号 CLK が、イネーブル端 EN にイネーブル信号 EN が、キャリー入力端 CI にキャリー信号 $CO1$ が、リセット端 R にはリセット信号 RST が入力されるようになっている。

【0037】SEL30は、アンド回路33の出力データが「L」レベルの際に、一方の組みの入力端 $A3 \sim A0$ に供給されるADD27の出力端 $S3 \sim S0$ からの出力データ $AS3 \sim AS0$ を選択し、アンド回路33の出力データが「H」レベルの際に、他方の組みの入力端 b

3～b0に供給されるUCT29の出力端Q3～Q0からの出力データUQ3～UQ0を選択して出力するようになっている。

【0038】アンド回路33の—入力端には、キャリア信号CO1が入力され、他入力端にはオア回路32の出力データが入力されるようになっている。またオア回路32の反転入力端には加算値データAd0が、他の3つの入力端には加算値データAd3～Ad1が入力されるようになっている。

【0039】FF31は、入力端d3～d0に供給されるSEL30の出力端S3～S0からの出力データSS3～SS0を、クロック信号CLKでトリガして保持し、この保持されたデータをアドレス信号Awr3～Awr0としてRAM11のアドレス端AD3～AD0へ出力するものであり、イネーブル端にイネーブル信号ENが、クロック端CKにクロック信号CLKが、リセット端Rにアンド回路34の出力データが入力されるようになっている。

【0040】アンド回路34の—入力端にはロード信号LDが入力され、他入力端にはリセット信号RSTが入力されるようになっている。このような構成のインターリーブ回路において3×4のインターリーブ（図5参照）を行う場合の動作を図3のタイミングチャートを参照して説明する。

【0041】但し、図3において、DCT28のカウント値とUCT29の出力データUQ3～UQ0は10進数、ADD27の出力データAS3～AS0、SEL30の出力データSS3～SS0、及びアドレス信号Awr3～Awr0は16進数（HEX）で表現する。

【0042】最初に書き込み動作を説明する。書き込みの場合、m=3、n=4なので、設定加算値Mを3、設定加算回数Nを3に設定する。即ち、アドレス加算値設定部13のスイッチ18、19をオンとし、アドレス加算回数設定部14のスイッチ23、24をオンとする。これによって、加算値データAd3～Ad0とが上位ビットから順に「0011」となり、加算回数データCT3～CT0が「0011」になる。

【0043】時刻t1において、リセット信号RSTが「L」レベルから「H」レベルとなる。時刻t2において、ロード信号LDが「L」レベルとなると、アンド回路34の出力データが「L」レベルとなり、これによりFF31がリセットされてアドレス信号Awr3～Awr0が「0」となる。そして、RAM11には、その「0」のアドレスの記憶領域に入力データDiが書き込まれて記憶される。

【0044】ロード信号LDが「L」レベルの状態で、時刻t3において、クロック信号CLKのエッジが立ち上がると、DCT28に加算値データAd3～Ad0の「3」がロードされてDCT28のキャリア信号CO1が「L」レベルとなり、UCT29に固定値「1」がロ

ードされてUCT29の出力データUQ3～UQ0が「1」となる。

【0045】この時、ADD27は加算値データAd3～Ad0の「3」とアドレス信号Awr3～Awr0の「0」とを加算して、「3」のデータAS3～AS0を出力しているので、キャリア信号CO1が「L」レベルとなるとアンド回路33の出力データが「L」レベルとなり、SEL30が「3」のデータAS3～AS0を選択し、データSS3～SS0として出力する。

【0046】時刻t4においてロード信号LDが「H」レベルとなり、イネーブル信号ENが「H」レベルとなった後、時刻t5において、クロック信号CLKのエッジが立ち上がると、この立ち上がりエッジによってDCT28がダウンカウントし、カウント値が「3」から「2」となり、またFF31がトリガされ、SEL30の出力データSS3～SS0の「3」が保持される。これによってアドレス信号Awr3～Awr0が「3」となる。RAM11には、その「3」のアドレスの記憶領域に入力データDiが記憶される。

【0047】また、アドレス信号Awr3～Awr0の「3」はADD27に入力されるので、この「3」と加算値データAd3～Ad0の「3」とが加算され、ADD27の出力データAS3～AS0は「6」となる。キャリア信号CO1は「L」レベルのままなので、SEL30はその「6」を選択し、SEL30の出力データSS3～SS0が「6」となる。

【0048】時刻t6において、クロック信号CLKの立ち上がりエッジによってDCT28がダウンカウントして「2」から「1」となり、またFF31がトリガされ、データSS3～SS0の「6」が保持される。これによってアドレス信号Awr3～Awr0が「6」となり、RAM11には、その「6」のアドレスの記憶領域に入力データDiが記憶される。

【0049】また、アドレス信号Awr3～Awr0の「6」はADD27に入力され、データAS3～AS0が「9」となり、この「9」を選択するSEL30の出力データSS3～SS0が「9」となる。

【0050】時刻t7において、クロック信号CLKの立ち上がりエッジによってDCT28がダウンカウントして「1」から「0」となり、またFF31がトリガされ、データSS3～SS0の「9」が保持される。これによってアドレス信号Awr3～Awr0が「9」となり、RAM11には、その「9」のアドレスの記憶領域に入力データDiが記憶される。

【0051】また、アドレス信号Awr3～Awr0の「9」はADD27に入力され、データAS3～AS0が「C」となる。DCT28は「0」となっているので、キャリア信号CO1が「H」レベルとなり、これによりアンド回路33の出力データが「H」レベルとなり、SEL30がUCT29の出力データUQ3～UQ

0の「1」を選択する。この結果SEL30の出力データSS3～SS0は「1」となる。

【0052】時刻t8において、クロック信号CLKの立ち上がりエッジによってDCT28がダウンカウントして「0」から「3」となり、またFF31がトリガされ、データSS3～SS0の「1」が保持される。これによってアドレス信号Awr3～Awr0が「1」となり、RAM11には、その「1」のアドレスの記憶領域に入力データDiが記憶される。

【0053】また、アドレス信号Awr3～Awr0の「1」はADD27に入力され、データAS3～AS0が「4」となる。DCT28は「3」となっているの、キャリー信号CO1が「L」レベルとなり、これによりSEL30がADD27の出力データAS3～AS0の「4」を選択する。この結果SEL30の出力データSS3～SS0は「4」となる。またUCT29はキャリー信号CO1が「L」レベルとなることにより「1」から「2」へアップカウントし、これによってデータUQ3～UQ0が「2」となる。

【0054】以降同様にクロック信号CLKのエッジが立ち上がる毎にアドレス信号Awr3～Awr0の値が「4」、「7」、「A」、「2」、「5」、「8」、「B」と変化し、それら値が示すアドレスの記憶領域に入力データDiが記憶される。

【0055】そして、時刻t9において、イネーブル信号ENが「L」レベルとなると、書き込み動作が終了する。次に、読み出し動作を説明する。読み出しの場合、設定加算値Mを「1」とし、設定加算回数Nを任意値とする。

【0056】即ち、アドレス加算値設定部13においてはスイッチ19のみをオンとするので、加算値データAd3～Ad0が「0001」となる。従ってオア回路32の出力データは「L」レベルに固定されるので、アンド回路33の出力データが「L」レベルとなり、SEL30がADD27の出力データAS3～AS0のみを選択する状態に固定される。

【0057】この状態で、クロック信号CLKが順次供給されると、ADD27、SEL30、及びFF31を巡回する回路は「1」のみを累積加算するアキュレータの動作を行い、この結果、「0, 1, 2, 3, 4,

…、B」がリードアドレス信号Awr3～Awr0としてRAM11へ出力され、それらアドレスに記憶されたデータが出力データDoとして出力される。

【0058】以上説明したように、 $m \times n$ のインターリーブに応じて設定加算値M及び設定加算回数Nを設定することによって、複数種類の $m \times n$ のインターリーブを行うためのリード/ライトアドレス信号を1つのアドレス発生回路12で発生することができ、また、記憶手段をシングルポートRAMで実現することができるので、回路全体を従来よりもかなり小型にすることが可能である。

【0059】また、アドレス発生回路12はの遅延はRAMのアクセススピードよりもずっと小さいので、最小アクセスサイクルはRAMのアクセススピードにより決定されることになり、RAMのアクセスサイクルを満足するだけの高速サイクルでの動作が可能となる。

【0060】

【発明の効果】以上説明したように、本発明のインターリーブ回路によれば、小規模で複数種類のインターリーブを行うことができる効果がある。

【図面の簡単な説明】

【図1】本発明の原理図である。

【図2】本発明の一実施例によるインターリーブ回路の構成を示す回路図である。

【図3】図2の動作を説明するためのタイミングチャートである。

【図4】従来のインターリーブ回路の構成を示す回路図である。

【図5】 3×4 のインターリーブを説明するための図である。

【図6】 2×6 のインターリーブを説明するための図である。

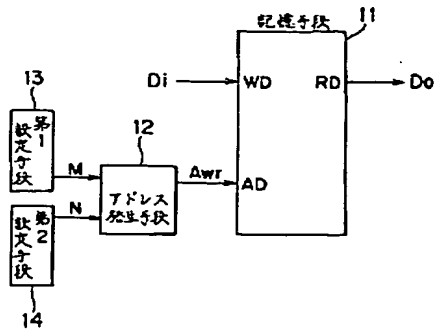
【図7】 4×3 のインターリーブを説明するための図である。

【符号の説明】

- 11 記憶手段
- 12 アドレス発生手段
- 13 第1設定手段
- 14 第2設定手段

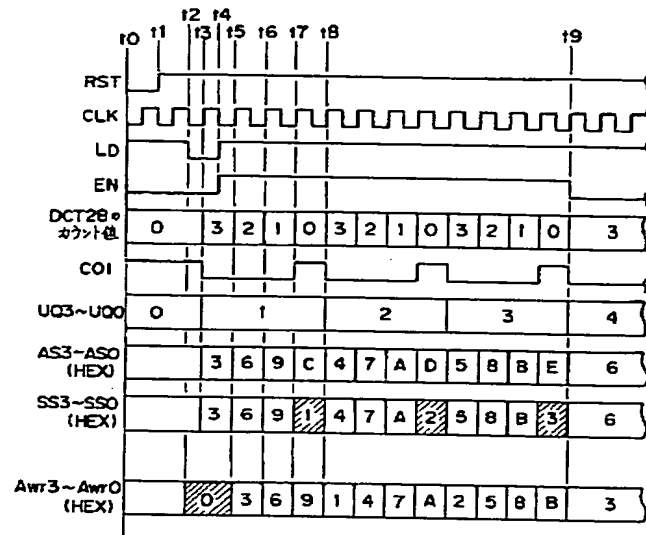
【図1】

本発明の原理図



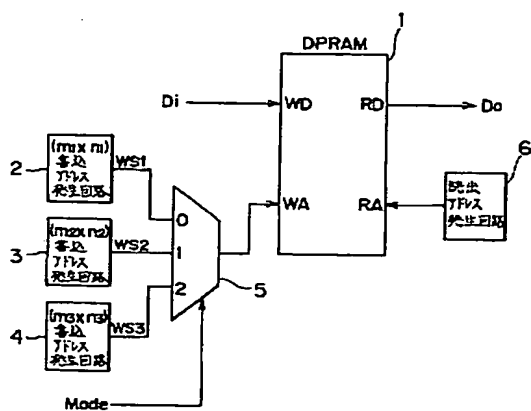
【図3】

図2の動作タイミングチャート



【図4】

従来例図



【図5】

3×4インターリーブ説明図

書き込み

0	3	6	9
1	4	7	A
2	5	8	B

読み出し

【図6】

2×6インターリーブ説明図

書き込み

0	2	4	6	8	A
1	3	5	7	9	B

読み出し

【図7】

4×3インターリーブ説明図

書き込み

0	4	8
1	5	9
2	6	A
3	7	B

読み出し

【図2】

実施例図

